

视频阵列处理器数据访存电路的设计与实现

宋 辉¹, 蒋 林¹, 山 蕊¹, 郭佳乐¹, 李雪婷²

(1 西安邮电大学 电子工程学院, 陕西 西安 710061; 2 西安邮电大学 计算机学院, 陕西 西安 710061)

摘 要: 为了降低远程数据访问延迟, 提高并行度, 针对视频阵列处理器设计了一种远程数据访存电路, 通过网络适配器将阵列处理器与路由网络相连实现远程数据的访存. 通过 Xilinx 的 ZC706 系列 FPGA 开发板测试表明: 该数据访存电路显著提高了远程数据的传送效率, 并且与 Intel 80 核处理器的 2D Mesh 网络相比, 可以降低 1/3 的通信延迟.

关键词: 视频阵列处理器; 适配器; 路由器; 片上网络; 现场可编程门阵列

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2017)02-0083-04

Design and Implementation of Data Memory Access Circuit in Video Array Processor

SONG Hui¹, JIANG Lin¹, SHAN Rui¹, GUO Jia-le¹, LI Xue-ting²

(1 College of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710061, China;

2 College of Computer Science, Xi'an University of Posts and Telecommunications, Xi'an 710061, China)

Abstract: In order to improve the transmission efficiency of the remote data between the processor and reduce the access latency, a remote data memory access circuit is designed for the video array processor, array processors and routing network will be connected through the network adapter to realize remote data memory access. Through the Xilinx zc706 series FPGA development board test showed that the circuit can significantly improve the transmission efficiency of the remote data, and compared with the 80 core processor of Intel 2D mesh networks, can reduce the 1/3 of the communication delay.

Key words: video array processor; adapter; router; network on chip; FPGA

1 引言

随着集成电路的迅速发展以及市场需求的日益增强, 片上系统逐渐由基于总线的单核或是少量多核体系结构发展到基于片上网络的大量多核或是众核结构^[1]. 其中同构众核处理器具有非常好的规整性和可扩展性, 易于挖掘多个处理器核协同并行工作的潜力. 但是, 处理器间的通信方式将会直接影响处理器的性能. 目前主要的核间通信方式主要是片上网络和共享存储两种^[2-3]. 文献[4]中 Intel 80 核处理器通过片上网络进行通信, 但是有较高的通信

延迟; 文献[5]中阵列处理器的每一个 PE 都与适配器、路由器相连, 资源占用和功耗都很高; 文献[6-7]中提出的阵列处理器种并没有考虑路由网络, 远程数据传送只能依靠邻接互连或核间共享存储, 并行性不高.

本文采用的视频阵列处理器由 1 024 个轻核处理单元 (PE) 近邻互连组成 32×32 的阵列处理器^[8], 其中每 16 个 PE 组成一个处理器簇 (PEG), 主要应用于 H. 264/AVC、MVC、H. 265/HEVC 等视频编解码算法. 由于视频算法间的相关性, 不同算法间会有远程数据的交互, 如果仅仅通过邻接互连

收稿日期: 2016-04-23; 修回日期: 2016-05-28

基金项目: 国家自然科学基金面上项目 (61272120); 陕西省科技统筹创新工程项目 (2016KTZDGY02-04-02); 陕西省自然科学基金 (2015JM6326)

来实现效率太低,并且增加了编程难度.例如,HEVC中的帧间预测算法,其编码时间占总编码时间的60%以上^[9],在该视频阵列处理器中需要40个簇(640个PE),不仅要通过邻接互连来实现数据传递,还有簇间长距离通信的需求.

因此,本文基于视频阵列处理器的特点设计并实现了一种数据访存电路,通过网络适配器将阵列处理器的每一个处理器簇与路由网络相连实现远程数据的访存,其4×4拓扑结构如图1所示.该电路的实现显著提高了远程数据的通信效率,并且与Intel 80核处理器的2D Mesh网络^[4]相比,可以降低1/3的通信延迟.

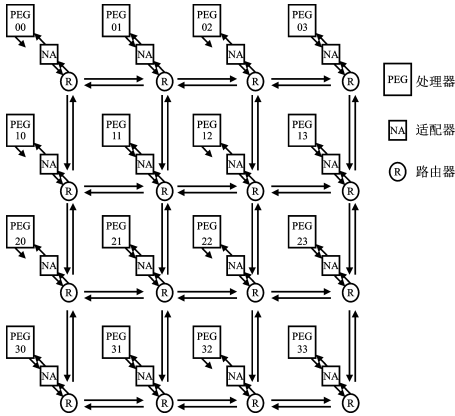


图1 阵列处理器拓扑结构

2 网络适配器的设计

适配器^[10]的主要功能是连接PEG和路由器,将本地PEG输出的数据及存储地址打包成路由网络能够接收的数据格式,然后送至路由网络;并且在到达目的PEG时接收来自路由器的数据包,解包出数据及存储地址送给目的PEG.

2.1 PEG与NA间的通信

每个处理器簇(PEG)由4×4的阵列处理元组成,簇内处理元(PE)间通过邻接互连(共享寄存器)通信,每个簇右下角的PE通过适配器与路由网络相连实现簇间远程通信,如图2所示.

从用户编程的角度考虑,远程数据的访问通过指令ST控制,指令格式为ST RD,RS, # PEG. 其中# PEG表示目的PEG号,RS为发往目的PEG的数据,RD为数据存放的偏移地址.处理单元首先判断写入数据地址是否在PEG内部,如果不在就需要通过片上网络通信,访问流程如图3所示.

2.2 适配器的设计

适配器具体实现时,主要分为发包和收包两大

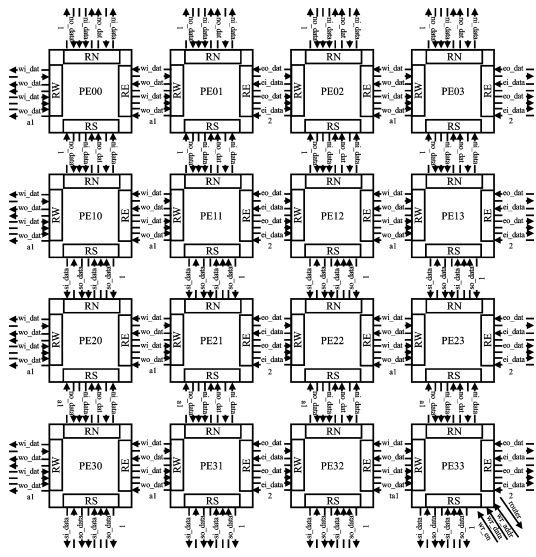


图2 处理器簇拓扑结构

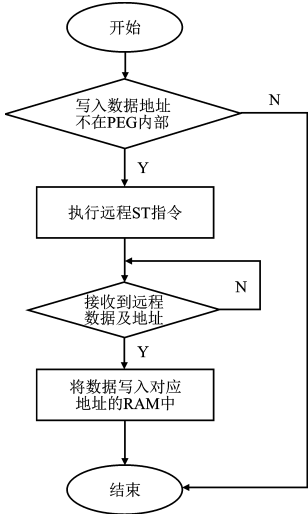


图3 ST指令写入数据过程

模块进行设计,顶层模块划分如图4所示.

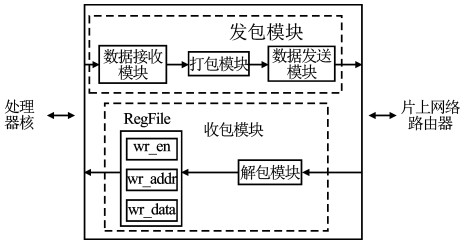


图4 NA结构框图

2.2.1 发包模块

发包模块主要分为数据接收模块、打包模块、数据发送模块三个模块组成,各模块主要功能描述如下:

(1)数据接收模块:该模块设计了一个4深度的缓存队列,当检测到使能信号(valid)有效时,缓存堆将依次缓存来自PEG的数据,并且在输出使能有

效的情况下将数据送至打包模块。

(2)打包模块:打包模块根据数据片类型,按照路由器的包格式依次打包为头片、中间片及尾片。数据片格式如图 5 所示。

头片						
输出端口号	包类型	片类型	空闲位	源地址	目的地址	数据起始地址
32位	2位	2位	1位	6位	6位	9位
中间片/片尾						
输出端口号	包类型	片类型	空闲位	写入数据		
3位	2位	2位	1位	32位		

图 5 数据片格式

(3)数据发送模块:打包完成并且路由网络可以接收数据时,开始发包至路由网络。

2.2.2 收包模块

收包模块主要由解包模块及配置寄存器模块组成。当适配器检测到收包使能有效时,开始接收来自路由器的数据包。当检测到头数据片时,提取出存储地址信息;当检测到中间片时,提取出数据信息,并且与头片提取出的地址信息一块发给目的 PEG,同时 wr_en 置高;若后续还有中间片或是尾片,提取出对应的数据信息送至 wr_data,存储地址自加 1 送至 wr_addr;当收包使能无效时,wr_en 置低。

3 路由器的设计

本文设计的路由器采用包交换型,主要由输入模块、仲裁模块、输出模块三个模块组成。

3.1 输入模块

输入模块包括五个端口,分别接收来自五个方向的数据包,每个端口设计了一个 4 深度的缓存队列。由于先存储再发送的数据包传递方式需要很大的存储容量,导致路由器的功耗、面积及延迟很大。所以该路由器采用虫洞式^[11]的传输方式。

输入模块的每个端口还包括路由计算模块。为了避免死锁,采用 XY 路由算法。每个端口接收数据与 XY 路由计算出的输出端口进行拼接后送至输出模块。输入模块的一个端口如图 6 所示。

3.2 仲裁模块

仲裁模块采用简单易实现的固定优先级仲裁机制,优先顺序为 IP>E>W>S>N。即来自不同方向的数据包同时向同一端口输出时,优先输出来自适配器方向的。仲裁模块如图 7 所示。

仲裁模块由五个译码器和五个仲裁器实现。译码器将来自五个不同方向的输出请求译为五位独热码送至仲裁器,然后仲裁器根据固定优先级进行仲裁。

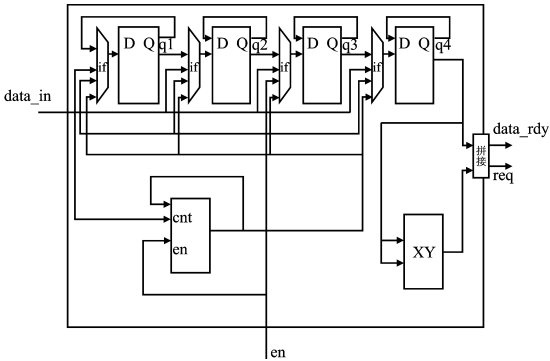


图 6 输入模块端口

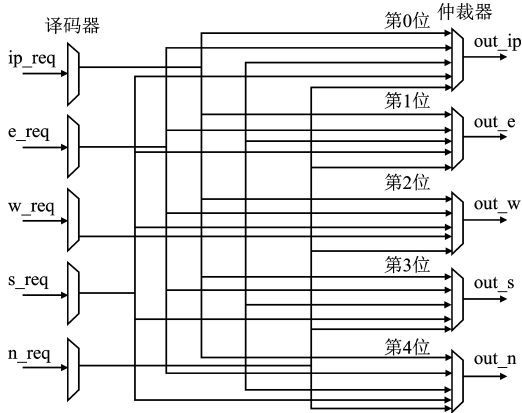


图 7 仲裁模块

3.3 输出模块

输出模块根据仲裁结果将竞争成功的数据从相应的端口输出至下一级路由器。该模块主要由 5 个五选一的多路选择器实现,如图 8 所示。

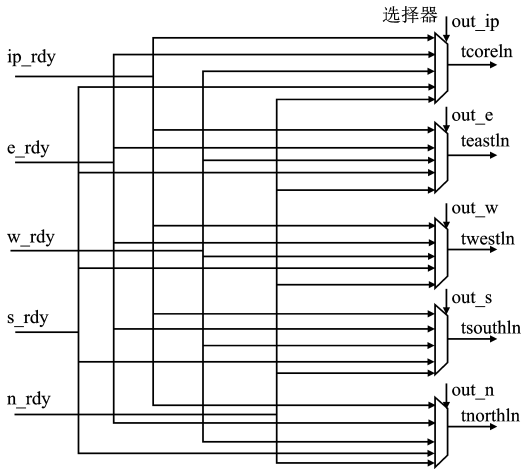


图 8 输出模块

4 测试结果及分析

4.1 测试方法及结果

在对适配器和路由器进行 RTL 级设计及功能仿真后,与视频阵列处理器互连进行 FPGA 联调,

通过 Xilinx 的 ZC706 系列 FPGA 开发板对设计进行硬件测试.

具体测试方法是 PEG 通过执行 ST 指令给适配器输入激励;然后通过路由网络送至目的 PEG;最后通过 ISE14.4 逻辑分析仪 ChipScope 观测到源 PEG 通过 ST 指令可以将数据成功送至目的 PEG,证明设计的数据访存电路可以保证簇间远程通信.表 1 统计了无竞争情况下数据访存电路的部分延迟,表 2 统计了竞争情况下的延迟(多个源 PEG 同时访问一个目的 PEG).

表 1 无竞争访存延迟(周期)统计

源 PEG	目的 PEG	延迟
PEG00	PEG33	27
PEG02	PEG31	21
PEG10	PEG23	21
PEG12	PEG03	15
PEG21	PEG02	18
PEG30	PEG01	21

表 2 竞争访存延迟(周期)统计

源 PEG 号	目的 PEG 号	延迟
00,01,02	03	22
00,01,02,03	20	30
00,01,02,03,10,11,12	13	47
00,01,02,03,10,11,12,13	21	55
10,11,12,13,20,21,22,23	33	56
20,21,22,23,30,31,32	33	47

4.2 测试分析

本文设计的簇间数据访存电路,路由器每一跳需要 3 个周期,适配器需要 1 个周期,在没有任何竞争的情况下通信延迟为 4 到 64 个周期.而 Intel80 核处理器 8×10 的 2D Mesh 网络^[4],每一跳有 5 个时钟周期的路由器延时加上 1 个周期的链接延时,即使在没有任何竞争的情况下,片内通信的延迟就达到 6~96 个时钟周期^[12].因此本文设计的数据访存电路相比于 Intel80 核处理器 8×10 的 2D Mesh 网络,可以降低 1/3 的延迟.

此外,相比于共享寄存器,簇间数据访存电路的实现不仅节省了 PE 数和指令条数,而且可以降低 50% 以上的延迟,大大提高了簇间远程数据的通信效率.

5 结束语

本文针对视频阵列处理器的特点,设计了一种应用于视频阵列处理器的数据访存电路,从而实现了高效低功耗的并行处理,降低了帧间预测等复杂视频算法的编码复杂度.

通过 Xilinx 的 ZC706 系列 FPGA 开发板测试

表明:相比于共享寄存器(邻接互连),该电路可以降低 50% 以上的延迟;相比于 Intel 80 核处理器 8×10 的 2D Mesh 网络,可以降低 1/3 的通信延迟.

参考文献:

[1] 陈小文. 同构众核处理器的片上存储管理与同步机制研究[D]. 长沙:国防科学技术大学, 2011.

[2] 欧鹏. 多核处理器关键技术研究[D]. 上海:复旦大学, 2013.

[3] Wang D, Lo C, Vasiljevic J, et al. DART: A programmable architecture for NoC simulation on FPGAs[J]. Computers IEEE Transactions on, 2014, 63(3): 664-678.

[4] Kongetira P, Aingaran K, Olukotun K. Niagara: A 32-waymultithreaded SPARC processor[J]. IEEE Micro, 2005, 25(2):21-29.

[5] Li T, Xiao L, Huang H, et al. PAAG: A polymorphic array architecture for graphics and image processing[C]// International Symposium on Parallel Architectures, Algorithms & Programming. IEEE, 2012: 242-249.

[6] 强倩, 张嘉琛. 基于流水线映射的粗粒度可重构运算阵列电路设计[J]. 信息技术, 2010,34(6):83-86.

[7] 徐佳庆. 粗粒度可重构阵列处理器性能优化技术研究[D]. 长沙:国防科学技术大学, 2007.

[8] 李涛, 蒋林, 刘镇弢, 等. 一种新型阵列视频信号处理单元结构[P]. 201110046537. 8, 2012.

[9] 沈晓琳. HEVC 低复杂度编码优化算法研究[D]. 杭州:浙江大学, 2013.

[10] 山蕊, 蒋林, 李平. 一种通用片上网络适配器的设计与实现[J]. 微电子学与计算机, 2011, 28(3): 161-164.

[11] 钱宇平, 李广军, 潘经纬. 基于容错虫洞路由的动态片上网络研究[J]. 微电子学与计算机, 2010, 27(9):5-7.

[12] 冯权友. 大规模众核微处理器互连网络体系结构及性能分析研究[D]. 长沙:国防科学技术大学, 2012.

作者简介:

宋 辉 男, (1991-), 硕士研究生. 研究方向为集成电路系统设计. E-mail: 1255532038@qq. com.

蒋 林 男, (1970-), 男, 教授. 研究方向为专用集成电路设计.

山 蕊 女, (1986-), 讲师. 研究方向为 VLSI 系统与计算机辅助设计.